

UNIVERSIDADE FEDERAL DE MINAS GERAIS  
INSTITUTO DE CIÊNCIAS EXATAS  
PROGRAMA DE PÓS GRADUAÇÃO EM CIÊNCIA DA COMPUTAÇÃO  
Curso: Doutorado Interinstitucional  
Disciplina: Arquitetura de Computadores  
1º Semestre de 2011  
Página do Curso: <http://www.verlab.dcc.ufmg.br/cursos/arquitetura/2011-1/index>  
Professor: Mario Fernando Montenegro Campos (mario@dcc.ufmg.br)

### Lista de Exercícios 4 e 5

- Suponha que se deseja implementar uma cache com mapeamento direto que armazene 64 bytes de dados para uma máquina cujo endereço virtual é de 32 bits. Assuma que o endereçamento é por bytes.
  - Quantos bits são necessários para implementar essa cache supondo que os blocos são de 4 bytes?
  - Quanto bits serão necessários se o tamanho do bloco for de 32 bytes?
- Quanto ao número de endereços explícitos em uma instrução, os conjuntos de instrução podem ser classificados em máquinas de 0, 1 e 2 ou mais endereços. Essas arquiteturas são denominadas, respectivamente, de arquitetura de Pilha (Stack), Acumulador (Accumulator) e Registradores de Uso Geral (GPR).
  - Escreva, para as arquiteturas do tipo STACK e GPR, um trecho de programa que calcule a seguinte expressão:  $X = (A + B \times C) / (D - E \times F)$ . As instruções disponíveis para cada arquitetura são:

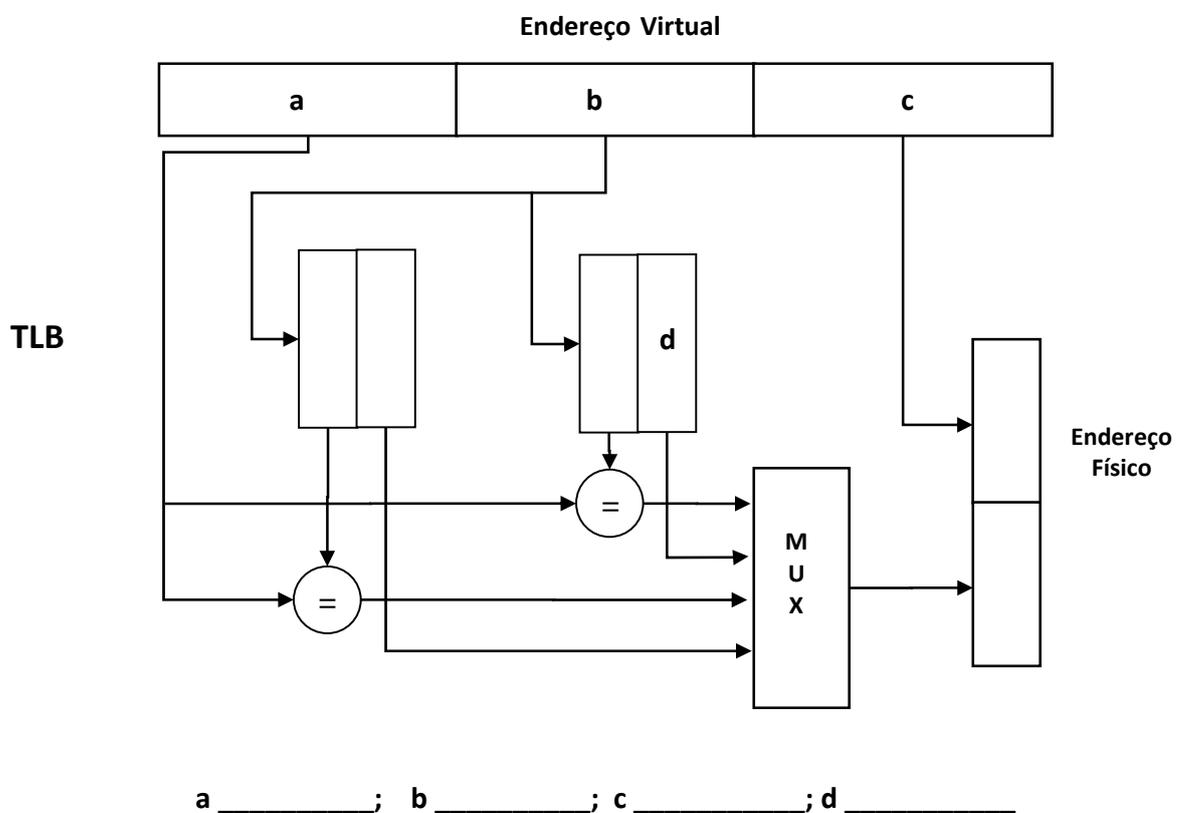
STACK	GPR (load-store)
PUSH M	LOAD R,M
POP M	STORE M,R
ADD	ADD R1,R2
SUB	SUB R1,R2
MUL	MUL R1,R2
DIV	DIV R1,R2

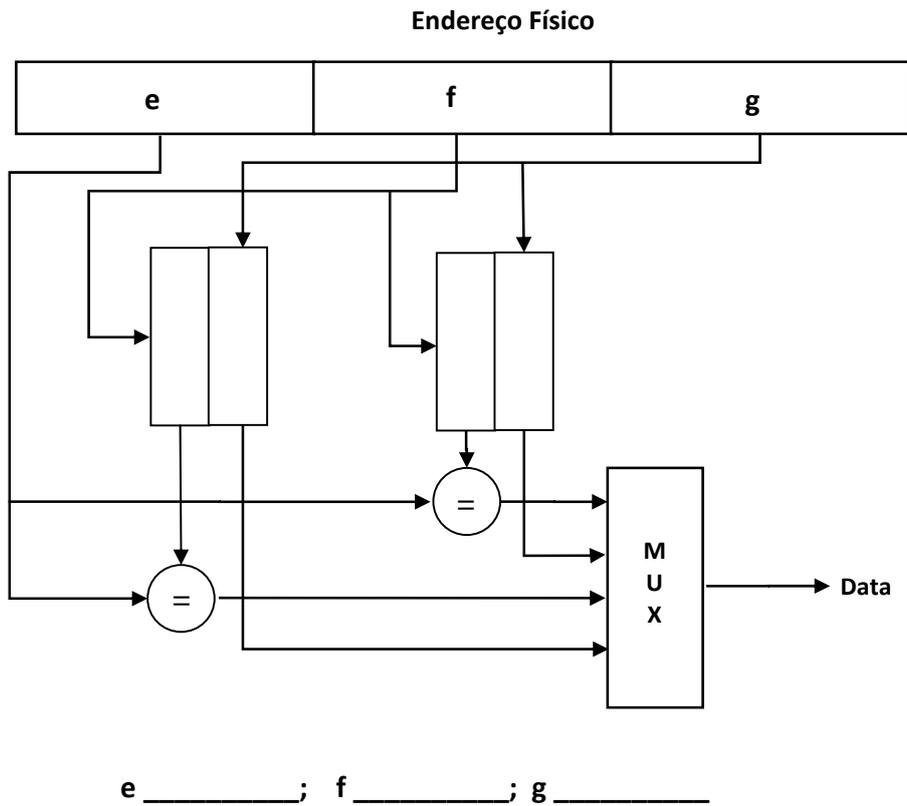
- Calcule a densidade de código para cada uma das arquiteturas, sabendo que para as máquinas acima:
    - Opcodes têm 4 bits;
    - Os tamanhos de instrução são múltiplos de 4 bits;
    - A, B, C, D, E, F e X são inteiros de 16 bits cada;
    - M é o endereço de uma posição de memória, também com 16 bits de tamanho;
    - O banco e registradores da máquina GPR contém 16 registradores.
- Caso um processador single cycle com as seguintes características para cada estágio de realização de uma instrução: IF = 6 ns, ID = 4 ns, EX = 5 ns, MEM = 7 ns, WB = 6 ns seja substituído por um processador multiciclo com CPI de 3,4, quão mais rápido será esse processador multiciclo?

4. Considere o seguinte sistema de memória:

- Endereço virtual de 32 bits
- TLB 2-way set associative
- 512 entradas (total) na TLB
- Page Size: 2KB
- Endereço Físico: 36 bits
- Tamanho total do cache de dados: 256 KB
- Tamanho da linha: 32B
- Cachê 2-way set associative

a) Preencha o tamanho dos campos no diagrama da cache/TLB a seguir:





As seguintes medidas foram realizadas:

- 1 referência à instrução e 0,4 referência a dado;
- 0,1% TLB miss rate com penalidade de 25 ciclos.
- Cache miss penalty = 6 ciclos + #words/block.

Block Size	Miss Rate por referencia
1W	4%
2W	2,2%
4W	1,5%
8W	1%
16W	0,8%

- Calcule a tempo médio de acesso à memória (AMAT) para um bloco de tamanho 4W, assumindo que o custo de uma referência que é hit tanto no TLB como na cache é 0 (zero).
- Encontre o tamanho de bloco ótimo. (Dica: faça uma tabela com os resultados dos cálculos).
- Quão mais rápida seria uma máquina cujo CPI de execução base é 1,4 e com um bloco de tamanho 8W se todas as referências ao cache e ao TLB fossem hits?

- e) Suponha que modifiquemos nossa cache 2-way associative para uma cache direct mapped com blocos de 8W. O novo miss rate é 1,5%. Quão mais rápido deverá ser o clock rate da máquina para que o desempenho seja igual ao da máquina original com blocos de 8W?
5. Suponha um disco cuja rotação é 5.400 RPM, o tempo de seek é 12 ms, a taxa de transferência é 4 MB/s e o overhead do controlador é de 8 ms.
- a) Qual é o tempo médio para ler e escrever um setor de 512 bytes?
- b) Se a taxa de transferência aumentar para 8 MB/sec e o overhead de controle reduzir 6 ms, quão mais rápido será o novo sistema de disco?
6. Multiprocessadores
- a) Qual é a classificação de multiprocessadores de Flynn? (SISD, SIMD, MISD, MIMD)
- b) Para máquinas MIMD, explique o problema de coerência de caches para máquinas paralelas com tempo de acesso a memória uniformes (UMA) e máquinas paralelas com tempo de acesso não-uniforme (NUMA) (15 pontos)
7. Responda as perguntas e justifique de maneira objetiva sua resposta:
- a) Assumindo as mesmas seqüências de referências a memória e tamanhos iguais de linha, uma cache de mapeamento direto de 8Kbytes terá pelo menos os mesmos dados do que uma cache de 4Kbytes de mapeamento direto (V ou F).
- b) Assumindo as mesmas seqüências de referências a memória e tamanhos iguais de linha, uma cache de mapeamento direto de 8Kbytes terá um miss rate igual a uma cache de 4Kbytes de associatividade 2 (V ou F).
- c) Assumindo as mesmas seqüências de referências a memória e tamanhos iguais de linha, uma cache de associatividade 2 de 8Kbytes terá pelo menos os mesmos dados do que uma cache de 8Kbytes de mapeamento direto (V ou F).
- d) O branch delay de um pipeline é definido como o número de ciclos entre o estágio A de um pipeline e o estágio B. Assuma que não exista nenhuma previsão de branches e que a condição do branch e o destino do branch são resolvidos no estágio de execução do pipeline. Que estágios do pipeline são A e B?
- e) Qual característica do sistema de interrupção é necessária durante o tratamento de "page faults" em um processador com um sistema de memória virtual?
- f) Problemas de sinônimos podem ocorrer em caches com índices físicos e tags físicos (V ou F).
- g) Quantos bits são necessários para indexar uma cache de associatividade 4 contendo 64Kbytes com tamanho de linha de 32 bytes?
- h) Quantos comparadores são necessários para a cache do item G?
- i) O impacto de uma TLB no desempenho do subsistema de memória é maior em uma cache virtualmente endereçada do que em uma cache fisicamente endereçada (V ou F).
- j) Uma cache vítima propicia um benefício melhor em uma cache de mapeamento direto ou com associatividade?
- k) Que tipos de hazards no pipeline são eliminados com register renaming?

#### 8. Projeto do Sistema de Memória

Um novo processador pipelined e seu sistema de memória foram propostos com as seguintes características:

- I-cache L1 de mapeamento direto, 8Kbytes, bloco = 8 bytes, miss rate = 2.4 %

- D-cache L1 de mapeamento direto, 16Kbytes, bloco = 32 bytes, miss rate = 1.6 %
- processador com clock de 100 MHz
- 1 referência na l-cache/instr.
- 0.25 loads/instr
- 0.14 stores/instr
- 0.1% de miss rate na TLB com 30 ciclos para preenchimento
- Tempo de acesso de memória = 6 ciclos + (número de bytes/bloco)/4
- 50% dos blocos que são trocados em L1 estão sujos

- Qual o CPI do processador dado que o CPI base é 1.3 e fisicamente endereçável, a D-cache é write back com write allocate.
- Quanto ciclos de stall/write precisam ser eliminados por um "write buffer" para uma cache write through, no write allocate com a mesma performance da cache da parte 3.a? Assuma que a cache é endereçável fisicamente.
- Ignorando os efeitos de TLB, quanto bandwidth (bytes/sec) um barramento deve prover para suportar uma cache write-through do exercício da parte 3.b.
- Uma maneira possível para se reduzir os requerimentos de bandwidth do barramento é adicionar uma cache L2. Considere a adição de uma cache L2 de 512 Kbytes, write allocate, write back, fetch on write, mapeamento direto entre L1 e o barramento. 50% das linhas são sujas. Com esta configuração, o miss rate local p/ leituras é 30% e o miss rate local para escrita de L2 é 1%. O tamanho do bloco é de 64 bytes. Ignorando os efeitos da TLB, quanto bandwidth (bytes/sec) são necessários para o barramento após a inserção de L2?

9. Você é responsável para desenvolver um multiprocessador para ser utilizado em processamento de transações. O benchmark TP-1 será utilizado para avaliar a performance. Este benchmark possui a seguinte característica.

Tamanho do arquivo de contas = TPS x 108 bytes

O sistema inicial consiste dos seguintes elementos:

- CPU de 200 MIPS custando \$50.000.
- Discos de 2GB cada capaz de executar 60 IOPS custando \$10.000 por disco

Cada transação gasta 250.000 instruções para executar e 4 operações de I/O

- Qual a máxima taxa de transação e o número de discos necessários para suportar esta taxa?

Defina custo-benefício como:

$$\frac{\text{Custo CPU} \times \text{Frac CPU} + \text{Custo discos} \times (0,5 \times \text{Fração disco (em BW)} + 0,5 \times \text{Fração do disco (GB)})}{\text{Custo CPU} + \text{Custo discos}}$$

onde Frac CPU é a fração de utilização da CPU, Fração disco (em BW) é a fração do BW dos discos que é utilizada e Fração do disco (GB) é a fração da capacidade do disco utilizada.

- Qual é o custo-benefício da configuração do sistema da parte a?

- c) Assumindo que você tem tantas CPUs e discos quanto queira, qual o sistema com maior custo-benefício que você pode construir para alcançar 2000 TPS?

Um novo sistema consiste dos seguintes elementos:

- CPU de 200 MIPS custando \$50.000.
  - Discos de 1GB capazes de realizar 48 IOPS e custando \$8.500.
- d) Com esses componentes, qual o sistema com maior custo-benefício que você pode construir que suporte pelo menos 2000 TPS?
- e) Qual sistema da parte c ou d possui melhor custo-benefício?
- f) Qual sistema da parte c ou d custa mais? Justifique quantitativamente.

10. Dois times de desenvolvimento estão tentando conseguir o projeto de uma nova versão do DLX para aplicações em vídeo sob demanda. O primeiro grupo, denominado SD, quer simplificar o conjunto de instruções e aumentar a frequência de clock utilizando um pipeline com maior profundidade. O segundo grupo, denominado AW, quer manter o mesmo pipeline básico, mas adicionando novas instruções para suportar aplicações de multimídia. Seu serviço como presidente da companhia é analisar qual proposta é mais razoável e decidir em qual delas a companhia vai investir o capital para desenvolvimento, baseado em um benchmark de descompressão de vídeo para MPEG.

Abaixo é apresentado um conjunto de instruções e seu CPI para o núcleo do programa MPEG. As frequências das instruções é fornecida para um processador do tipo DLX.

Instrução	Frequência original	CPI original	CPI p/ SD-DLX
ALU	55	1.0	1.0
Shift + add	25	1.0	-
Load/store	15	1.05	1.1
Branch	5	1.1	1.3

- Assuma que o conjunto original de instruções possua uma instrução do tipo shift+add que é utilizada para deslocar primeiramente um dos operandos à esquerda ou à direita para depois somá-lo ao segundo operando. Esta instrução foi eliminada na versão SD-DLX.
- Assuma que a frequência de clock do processador SD é 40% mais rápida do que a frequência do processador AW.
- Assuma que a adição de instruções de multimídia no AW-DLX remove 75% das instruções de ALU e "shift+add" do núcleo da rotina de MPEG.
  - a) Qual são os CPIs relativos e os lcs relativos para as duas versões do DLX (AW-DLX e SD-DLX)?
  - b) Qual processador é mais rápido para o núcleo do MPEG? Justifique sua resposta.
  - c) Suponha que as instruções contidas no restante do código do benchmark de MPEG possuem o mesmo mix de instruções que o apresentado na tabela acima, mas para o restante do código, o AW-DLX não pode utilizar suas instruções específicas para multimídia. Qual é a performance relativa entre as duas versões de processadores (AW e SD) se o núcleo gasta 50% do tempo no AW-DLX?